

VOLTAGE DRIVE-TYPE SILICON CARBIDE THYRISTOR

Publication number: JP10027899

Publication date: 1998-01-27

Inventor: UENO KATSUNORI

Applicant: FUJI ELECTRIC CO LTD

Classification:

- international: H01L29/74; H01L29/744; H01L29/66; (IPC1-7): H01L29/74; H01L29/744

- european:

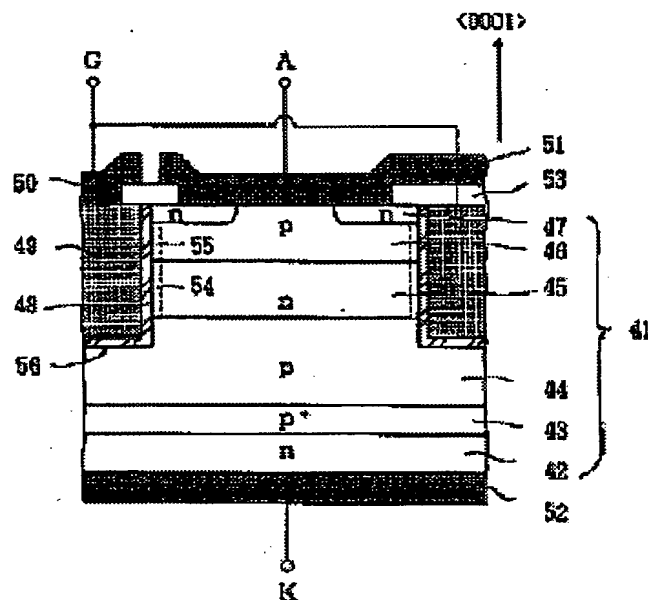
Application number: JP19960182198 19960711

Priority number(s): JP19960182198 19960711

Report a data error here

Abstract of JP10027899

PROBLEM TO BE SOLVED: To obtain a voltage drive-type SiC thyristor which is to serve as a switching device, easily controlled, provided with a silicon carbide board high in impurity concentration, kept free from the influence of channel mobility, and low in ON-state voltage. **SOLUTION:** A MOS-type gate for turn-ON and another MOS-type gate for turn-OFF are provided, and a main current is restrained from flowing through an ON channel 54 when a thyristor is kept ON. A trench 56 is provided, and a gate electrode layer is buried in the trench 56 to serve as a trench gate, so that impurities are not required to be diffused deep inside, to enable the easy manufactured of the thyristor.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-27899

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/74			H 0 1 L 29/74	D
29/744				C
				J
				N

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21) 出願番号 特願平8-182198

(22) 出願日 平成8年(1996) 7月11日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

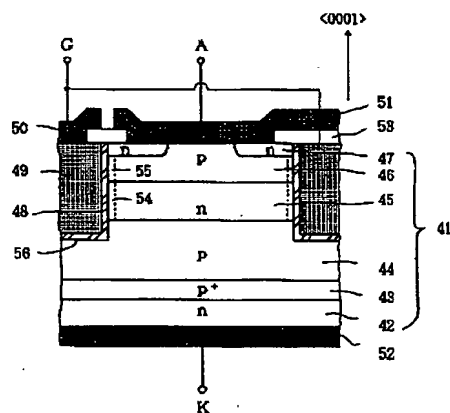
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 電圧駆動型炭化ケイ素サイリスタ

(57) 【要約】

【課題】 制御の容易な電圧駆動型のスイッチング素子で、しかも高不純物濃度の基板を利用できる炭化ケイ素 (SiC) で、チャネルの移動度に影響されないオン電圧の低い電圧駆動型 SiC サイリスタを得る。

【解決手段】 ターンオンのための MOS 型ゲートとターンオフのための MOS 型ゲートとを設け、オン時の主電流がオンチャネル 54 を通らないようにする。特に、トレンチ 56 を設け、トレンチ 56 内にゲート電極層を埋め込んだ形のトレンチゲートとすることによって、深い不純物拡散を不要にし、製造を容易にする。



41 SiC 基板	49 ゲート電極層
42 n カソード層	50 ゲート電極
43 p ⁺ バッファ層	51 アノード電極
44 p ドリフト層	52 カソード電極
45 n ベース層	53 絶縁膜
46 p アノード層	54 オンチャネル
47 n ソース領域	55 オフチャネル
48 ゲート炭化膜	56 トレンチ

【特許請求の範囲】

【請求項1】順次導電型を異にする五層を有し、該五層のうち少なくとも第一層ないし第四層はその一部が一方の表面に露出部を有する炭化ケイ素基板と、その基板の両主面にそれぞれ設けられた主電極とを有する電圧駆動型炭化ケイ素サイリスタにおいて、第二層と第四層とに挟まれた第三層の前記露出部上にゲート絶縁膜を介して設けられた前記サイリスタを低抵抗状態にするためのゲート電極層と、第一層と第三層とに挟まれた第二層の前記露出部上にゲート絶縁膜を介して設けられた前記サイリスタを高抵抗状態にするためのゲート電極層とを有することを特徴とする電圧駆動型炭化ケイ素サイリスタ。

【請求項2】二つのゲート電極層が接続されていることを特徴とする請求項1記載の電圧駆動型炭化ケイ素サイリスタ。

【請求項3】炭化ケイ素からなる、第一導電型カソード層、第二導電型ドリフト層をこの順に積層した半導体基板と、第二導電型ドリフト層の表面層に形成された第一導電型ベース領域と、その第一導電型ベース領域の表面層に形成された第二導電型アノード領域と、その第二導電型アノード領域の表面層に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型ベース領域とに挟まれた第二導電型アノード領域の表面に対向し、ゲート絶縁膜を介して設けられたゲート電極層と、第二導電型アノード領域と第二導電型ドリフト層とに挟まれた第一導電型ベース領域の表面に対向し、ゲート絶縁膜を介して設けられたゲート電極層と、ゲート電極層に接触して設けられたゲート電極と、第一導電型ソース領域と第二導電型アノード領域との表面に共通に接触して設けられたアノード電極と、第一導電型カソード層の裏面に接触して設けられたカソード電極とを有することを特徴とする請求項1または2に記載の電圧駆動型炭化ケイ素サイリスタ。

【請求項4】炭化ケイ素からなる、第一導電型カソード層、第二導電型ドリフト層、第一導電型ベース層、第二導電型アノード層をこの順に積層した半導体基板と、第二導電型アノード領域の表面層に形成された第一導電型ソース領域と、第一導電型ソース領域の表面から第二導電型アノード層と第一導電型ベース層とを貫通して形成され第二導電型ドリフト層に達するトレンチと、そのトレンチ内にゲート絶縁膜を介して充填されたゲート電極層と、ゲート電極層に接触して設けられたゲート電極と、第一導電型ソース領域と第二導電型アノード層との表面に共通に接触して設けられたアノード電極と、第一導電型カソード層の裏面に接触して設けられたカソード電極とを有することを特徴とする請求項1または2に記載の電圧駆動型炭化ケイ素サイリスタ。

【請求項5】第二導電型アノード層表面から第一導電型ベース層を貫通して形成され第二導電型ドリフト層に達するトレンチと、第二導電型アノード層の該トレンチ側

壁に面した一部に形成された第一導電型側壁領域と、その第一導電型側壁領域と第一導電型ソース領域とに挟まれた第二導電型アノード層の表面上およびトレンチ内にゲート絶縁膜を介して設けられたゲート電極層を有することを特徴とする請求項4記載の電圧駆動型炭化ケイ素サイリスタ。

【請求項6】半導体基板がアルファ相炭化ケイ素であることを特徴とする請求項1ないし5のいずれかに記載の電力用半導体装置。

10 【請求項7】主電流を流す方向が結晶の<0001>方向であることを特徴とする請求項6記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、炭化ケイ素を用い、高耐圧、大電流の制御に適する炭化ケイ素サイリスタに関する。

【0002】

【従来の技術】最近、高耐圧、大電流を制御する電力用半導体素子として炭化ケイ素（以下SiCと記す）を基板結晶とする縦型のMOS型電界効果トランジスタ（以下MOSFETと記す）の試作が行われている。[例えば、Palmour, J.W.他: Materials Research Society Proceedings, (1994)や Tokura, N.他: Jpn. J. Appl. Phys. Vol. 34 (1995), pp. 5567 ~ 5573 を参照されたい。] これは6H-SiCや4H-SiCなどの単結晶が、かなり高品質で製造できるようになってきたことによる。これらは、閃亜鉛鉱型とウルツ鉱型とが積層された形のアルファ相SiCである。このデバイスは、従来、シリコンを基板結晶として製造されてきたが、SiCでは、比電界強度が大きいことなどから特性改善が期待されるとして研究されている。また、電力用半導体素子としては、パワーMOSFETだけではなく、バイポーラ素子である絶縁ゲートバイポーラトランジスタ（以下IGBTと略す）の検討も始められている。[例えば、Bhall, A. 他: Proc. of 6th Internat. Symposium on Power Semiconductor Devices and IC's, (1994) pp. 287 や Ramungul, N. 他: Technical Digest of Int'l Conf. on SiC and Related Materials 95 (1995), TuP-39 を参照]

30 これはシリコンの経験からユニポーラ素子の代表であるパワーMOSFETよりもIGBTの方が高耐圧、大電流領域で素子の抵抗を低減することができるからである。

【0003】図7は、プレーナ型のIGBTの部分断面である。この図は、IGBTの電流をオン・オフする活性部の単位部分（セルと呼ぶこともある）を示したものであり、実際の素子は、この構造が周期的に形成されており、全体で大きな電流を流すことができるようになっている。なお以下で、nまたはpを冠した層、領域等は、それぞれ電子、正孔を多数キャリアとする層、領域

等を意味するものとする。

【0004】図7において、pコレクタ層2上にn⁺バッファ層3を介してnドリフト層4が積層されたシリコン基板1がある。nドリフト層4の表面層に選択的にpベース領域5が形成され、そのpベース領域5の表面層の一部にnエミッタ領域6が形成されている。pベース領域5の一部にpベース領域5より拡散深さの深いpウェル領域7が形成されている。nエミッタ領域6とnドリフト層4の表面露出部とに挟まれたpベース領域5の表面上には、ゲート酸化膜8を介して多結晶シリコンからなるゲート電極層9が設けられている。また、nエミッタ領域6とpベース領域5の表面に共通に接触するエミッタ電極11、pコレクタ層2の裏面に接触するコレクタ電極12および、ゲート電極層9に接触するゲート電極10が設けられている。エミッタ電極11は絶縁膜13を介してゲート電極層9上に延長されていることもある。

【0005】このIGBTの動作は、コレクタ電極12、エミッタ電極11間に、コレクタ電極12が正の電圧を加えた状態で、ゲート電極10、エミッタ電極11間に、一定値以上の正の電圧を加えると、nエミッタ領域6とnドリフト層4の表面露出部とに挟まれた、ゲート電極層9直下のpベース領域5の表面層に反転層(チャンネルと呼ぶ)14を生じ、このチャンネル14を通じてnエミッタ領域6から供給される電子電流が、pnptランジスタのベース電流となって、pnptランジスタがオンし、コレクタ電極12、エミッタ電極11間に電流が流れる。また、ゲート電極10の電圧を取り去ると、前記チャンネル14が消滅して、電流が停止する(オフ状態という)ものである。

【0006】図7のpコレクタ層2の代わりにn⁺ドレイン層をもつものがパワーMOSFETである。パワーMOSFETもやはり、ゲート電極へのバイアス電圧の有無により電流のオン・オフができる。これらのデバイスは、ゲート絶縁膜によって絶縁されたゲート構造を有し、ゲート電極に印加される電圧によって、オン・オフのスイッチングができる電圧駆動型の半導体素子である。SiCはシリコンと同様に熱酸化により、良好な半導体-絶縁膜界面をもつシリコン酸化膜が得られ、そのシリコン酸化膜をゲート絶縁膜として利用することができることから、これらのデバイスへの応用が容易である。

【0007】

【発明が解決しようとする課題】SiCで、図7に示したようなIGBTやパワーMOSFETを作れば、同じ耐圧のシリコンのIGBTやMOSFETに比べて、nドリフト層4の抵抗を大幅に下げられるため、シリコンの素子よりもオン電圧またはオン抵抗を下げられる可能性がある。

【0008】ところが、これらのSiCの半導体素子で

は重要な問題がある。それは、IGBTやパワーMOSFETでは、図6において見られるようにMOS型ゲート部があり、そのゲート電極層9の直下に形成されるチャンネル14の抵抗(チャンネル抵抗)が直列に接続された構造をもつことである。すなわち、オン時には、電流はそのチャンネルを流れることになる。そのため、いくらnドリフト層4の抵抗が小さくても、チャンネル抵抗を同様にシリコンよりも小さくできなければ全体の抵抗を下げることはできない。

【0009】これまで報告されたSiCMOSFETの移動度は $100\text{ cm}^2/\text{Vs}$ にも満たない。[Billon, T.他:Transactions Second Int. High Temperature Electronics Conf., (1994), X-29 参照] すなわち、シリコン素子よりも小さいチャンネル抵抗どころか、むしろシリコンよりも大きな値となっている。図8は、パワーMOSFETにおいて、オン抵抗とチャンネル移動度との関係を示した図である。横軸は素子の耐圧、縦軸はオン抵抗であり、チャンネル移動度をパラメータとしている。この図からわかるようにオン抵抗は数100Vから数kVの広い範囲にわたって、チャンネルの移動度に大きく依存している。特にチャンネル移動度が小さい場合は、オン抵抗が飽和してしまい、一定値以下に下がらなくなる。従って、チャンネル移動度は、できるだけ大きいことが望ましいことになる。

【0010】また、この図では比較のためにシリコンのパワーMOSFETとIGBTのオン抵抗も示した。この比較では、SiCではチャンネル移動度が小さくても、シリコン半導体素子よりもオン抵抗が小さいように見える。しかし、SiCはコストが高価なことから、半導体素子の面積はできるだけ小さくしたい。そのため、チャンネル移動度は依然としてSiC半導体素子にとって重要な課題である。

【0011】以上の問題に鑑み本発明の目的は、SiC本来の特性を生かした低オン電圧の電圧駆動型SiCサイリスタを提供することにある。

【0012】

【課題を解決するための手段】上記課題解決のため本発明は、SiCを用いた高耐圧サイリスタとして以下の構造を提案するものである。まず、ターンオンのためのMOS型ゲートとターンオフのためのMOS型ゲートを有する。すなわち、順次導電型を異にする五層を有し、該五層のうち少なくとも第一層ないし第四層はその一部が一方の表面に露出部を有する炭化ケイ素基板と、その基板の両主面にそれぞれ設けられた主電極とを有する電圧駆動型炭化ケイ素サイリスタにおいて、第二層と第四層とに挟まれた第三層の前記露出部上にゲート絶縁膜を介して設けられた前記サイリスタを低抵抗状態にするためのゲート電極層と、第一層と第三層とに挟まれた第二層の前記露出部上にゲート絶縁膜を介して設けられた前記サイリスタを高抵抗状態にするためのゲート電極層とを

有するものとする。

【0013】そのようにすれば、電圧駆動型の半導体素子でありながら、サイリスタのオン状態では主電流がMOS型ゲート部のチャネルを流れないので、全体のオン抵抗がチャネル抵抗に依存しない。従って、チャネル抵抗にかかわらず、SiC本来の低いオン電圧を実現したサイリスタとなる。例えば、炭化ケイ素からなる、第一導電型カソード層、第二導電型ドリフト層をこの順に積層した半導体基板と、第二導電型ドリフト層の表面層に形成された第一導電型ベース領域と、その第一導電型ベース領域の表面層に形成された第二導電型アノード領域と、その第二導電型アノード領域の表面層に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型ベース領域とに挟まれた第二導電型アノード領域の表面に対向し、ゲート絶縁膜を介して設けられたゲート電極層と、第二導電型アノード領域と第二導電型ドリフト層とに挟まれた第一導電型ベース領域の表面に対向し、ゲート絶縁膜を介して設けられたゲート電極層と、それらのゲート電極層に接触して設けられたゲート電極と、第一導電型ソース領域と第二導電型アノード領域との表面に共通に接触して設けられたアノード電極と、第一導電型カソード層の裏面に接触して設けられたカソード電極とを有するものとするれば、電圧駆動型の半導体素子でありながら、主電流はMOS型ゲート部のチャネルを流れない。

【0014】また、MOS型ゲート部がトレンチ型であってもよい。すなわち、炭化ケイ素からなる、第一導電型カソード層、第二導電型ドリフト層、第一導電型ベース層、第二導電型アノード層をこの順に積層した半導体基板と、第二導電型アノード領域の表面層に形成された第一導電型ソース領域と、第一導電型ソース領域の表面から第二導電型アノード層と第一導電型ベース層とを貫通して形成され第二導電型ドリフト層に達するトレンチと、そのトレンチ内にゲート絶縁膜を介して充填されたゲート電極層と、ゲート電極層に接触して設けられたゲート電極と、第一導電型ソース領域と第二導電型アノード層との表面に共通に接触して設けられたアノード電極と、第一導電型カソード層の裏面に接触して設けられたカソード電極とを有するものがよい。

【0015】そのようにすれば、ある程度の厚さを必要とする第一導電型ベース層、第二導電型アノード層を気相成長法により形成でき、困難な熱拡散に頼らずに電圧駆動型サイリスタが実現できる。また、MOS型ゲート部の少なくとも一部がトレンチ部分ではなく、プレーナ部分に形成されていてもよい。すなわち、第二導電型アノード層表面から第一導電型ベース層を貫通して形成され第二導電型ドリフト層に達するトレンチと、第二導電型アノード層の該トレンチ側壁に面した一部に形成された第一導電型側壁領域と、その第一導電型側壁領域と第一導電型ソース領域とに挟まれた第二導電型アノード層

の表面上およびトレンチ内にゲート絶縁膜を介して設けられたゲート電極層を有するものがよい。

【0016】サイリスタデバイスの可制御電流はターンオフ用のゲート部のチャネル抵抗に依存する。そのため、ターンオフに使用するMOS型ゲート部のチャネル抵抗は低いことが望まれる。トレンチ部分に形成されるMOS型ゲート部はエッチングダメージや移動度の結晶異方性などから抵抗が低くなる可能性がある。そこで、ターンオフ用のゲート部は、トレンチ部分ではなく、プレーナ部分に形成することによって、十分に低い抵抗のMOS型ゲート部を提供することが可能となる。

【0017】半導体基板である炭化ケイ素がアルファ相炭化ケイ素であり、電流を流す方向の結晶方向が<0001>方向であるものとする。アルファ相炭化ケイ素であれば、結晶性の良い単結晶が比較的容易に得られ、<0001>方向は、キャリアの移動度が大きい。

【0018】

【発明の実施の形態】上記課題解決のため本発明の電圧駆動型の炭化ケイ素サイリスタは、ターンオンのためのMOS型ゲート部とターンオフのためのMOS型ゲート部とを有するものとする。MOS型ゲート部がトレンチ内に設けられていてもよく、また、ターンオフ用ゲート部の少なくとも一部がトレンチ内ではなく、表面部分に形成されていてもよい。

【0019】以下図面を参照しながら、本発明の実施の形態を説明する。

【実施例1】図2は本発明第一の実施例のSiCサイリスタの部分断面図である。この図はサイリスタのスイッチングを行う活性部の単位セルの断面構造を示したものである。主として活性部の周辺部分に耐圧を担う部分があるが、本発明の本質に関わらないので省略する。

【0020】nカソード層22の上に、p⁺バッファ層23、pドリフト層24が積層された21は6H-SiCの基板である。主表面は(0001)面である。pドリフト層24の表面層に選択的にnベース領域25が、そのnベース領域25の表面層に選択的にpアノード領域26が、そのpアノード領域26の表面層に選択的にnソース領域27が形成されている。nソース領域27とpベース層24の表面露出部とに挟まれたnベース領域25およびpアノード領域26の表面上にゲート酸化膜28を介して多結晶シリコンからなるゲート電極層29が形成されており、ゲート電極層29に接触するゲート電極30が設けられている。また、pアノード領域26とnソース領域27との表面に共通に接触するアノード電極31、nカソード層22の裏面に接触するカソード電極32が設けられている。アノード電極31は絶縁膜33を介してゲート電極層30の上に延長してもよい。

【0021】次に、実施例1のSiCサイリスタの動作について説明する。この半導体素子はnカソード層2

2、pドリフト層24、nベース領域25、pアノード領域26の四層構造のサイリスタにnソース領域27を加えた五層構造となっている。このサイリスタをオン状態にするには、アノード電極31に、カソード電極32に対して正の電圧を印加した状態で、ゲート電極30に一定値以上の負のバイアスを印加する。そうして、ゲート電極層29直下のnベース領域25の表面層に反転層すなわちオンチャネル34を生じさせる。するとpアノード領域26から正孔がこのオンチャネル34を通じてpドリフト層24に流れ、p⁺バッファ層23を通過してnカソード領域21に注入される。この正孔電流はnカソード層22、pドリフト層24、nベース領域25からなるnpnトランジスタのベース電流となり、npnトランジスタがオンする。そして、nカソード層21から多量の電子がpベース層24に注入され、nベース領域25に流れる。この電子は、nベース領域25とpアノード領域26間のpn接合の順バイアスによって、pアノード領域26に流れ、逆にpアノード領域26から多量の正孔の注入を招く。このようにキャリア増倍を繰り返して、サイリスタがオンする。すなわち、nベース領域25の上のゲート電極層29はサイリスタのターンオンのためのMOSゲートとして働く。アノード電極31、カソード電極32間のpn_p(p⁺)n四層部に電流が流れ始めれば、ゲート電極30の電圧を除去しても電流は流れ続ける。

【0022】一方、オフする場合は、オン時とは逆に、ゲート電極31に正のバイアスを印加する。すると前記のオンチャネル34は閉じ、pアノード領域26からの正孔電流が供給されない。逆にゲート電極層29直下のnソース領域27の表面層に反転層すなわちオフチャネル35を生じるので、残った電子電流は、nベース領域25に入った後、前記オフチャネル35を通過して、nソース領域27に達し、アノード電極31から流れ出て、サイリスタがオフ状態へと移行する。すなわち、pアノード領域26の上のゲート電極層29はサイリスタのターンオフのためのMOSゲートとして働く。

【0023】このサイリスタはオン状態で直列にMOS型ゲート部のチャネルが入らないために、そのチャネル抵抗に全体のオン抵抗が依存しない。従ってSiC本来の低いオン抵抗を、MOS型ゲート部のチャネル抵抗にかかわらず実現することができる。また、SiCの場合、(0001)面を主面とするウェハを使用することが多い。その場合、電流を流す方向すなわち、基板表面に対して平行な方向では、キャリアの移動度が大きく、望ましい。

【0024】この構造自体は、結晶格子が異なるが既にシリコンのパワーデバイスで報告されているものである。[Temple, V. A. K.: Technical Digest of IEDM 84 (1984), p.282 参照]

しかし、注意すべきことは、オン状態では主電流はMO

S型ゲート部のチャネルを流れていないことである。すなわち、オンチャネル34はトリガ電流を与えるだけの役目を果たしており、主電流を流すものではない。そのため、必ずしもチャネル抵抗が小さい必要はない。従って、上述のようにMOS型ゲート部のチャネル抵抗が課題となっているSiCにおいては、この構造の電圧駆動型サイリスタが非常に有効であることが理解できる。

【0025】更に、SiCではバンドギャップが約3eVと広いことから、ターンオフ時のpn接合の回復が容易であるという特徴も電圧駆動サイリスタがSiCに適している点である。上の例で、p⁺バッファ層23は、pドリフト層24より不純物濃度の高い層で、高耐圧サイリスタの空乏層の広がりを抑え、或いはnカソード層21からのキャリアの注入制御のためであったが、低い耐圧のサイリスタなどで、このp⁺バッファ層23の無い場合もある。

【0026】また、当然のことながら、導電型のp型とn型とが反転したSiCサイリスタも考えられる。実施例1においては、ターンオフのためのオフチャネル35がnチャネル型になっており、移動度が大きい電子がキャリアになるため、逆の場合に比べ、ターンオフできる電流が大きくなるという利点がある。

【実施例2】実施例1の図1のような構造は、実際のデバイス製造のことを考えると、SiCでは難しい問題がある。というのは、SiCでは不純物の熱拡散が非常に遅いため、nベース領域25およびpアノード領域26を熱拡散により形成するには、1200℃以上の高温で長時間拡散しなければならないからである。また、図2の構造はシリコンでも濃度と厚さをコントロールしたnベース領域25およびpアノード領域26を形成しなければならないため、プロセス設計が困難で、イオン注入量や熱処理条件の設定が難しい。

【0027】そこで、より製造が容易な構造を考案した。図1は、本発明第二の実施例の電圧駆動型SiCサイリスタの部分断面図である。実施例1との違いは、炭化ケイ素基板41にトレンチ56が設けられ、その中にゲート酸化膜48を介して多結晶シリコンからなるゲート電極層49が埋められていることである。

【0028】すなわち、nカソード層42上に、p⁺バッファ層43、pドリフト層44、nベース層45、pアノード層46を順に積層したSiC基板41を用いる。pアノード層46の表面層にnソース領域47が形成されている。nソース領域47の表面からpドリフト層44に達するトレンチ56が形成され、ゲート酸化膜48を介して多結晶シリコンのゲート電極層49が埋められている。そして、そのゲート電極層49に接触するゲート電極50が設けられている。また、pアノード領域46とnソース領域47との表面に共通に接触するアノード電極51、nカソード層42の裏面に接触するカソード電極52が設けられている。アノード電極51

は、絶縁膜53を介してゲート電極層49の上に延長することもできる。

【0029】従ってこの例では、オンチャンネル54、オフチャンネル55がトレンチ56の側面に沿ってSiC基板41の表面に垂直方向にできることになる。実施例2のSiCサイリスタは次のような製造方法で製造する。nカソード層42となるサブストレート上に、p⁺バッファ層43、pドリフト層44、nベース層45、pアノード層46をエビタキシャル成長法により順に積層したSiC基板41を用いる。pアノード層46の表面層に窒素のイオン注入および熱処理によりnソース領域47を形成する。RIE（反応性イオンエッチング）によりnソース領域47の表面からpドリフト層44に達するトレンチ56を形成したのち、熱酸化によりゲート酸化膜48を形成する。続いて減圧CVD法により多結晶シリコンを堆積してゲート電極層49とする。ゲート電極層49上にPSGを堆積して、ゲート電極層49とカソード電極とを絶縁する絶縁膜53とした後、SiC基板41上の絶縁膜53に窓を開け、Alをスパッタ蒸着してアノード電極51とする。同時にゲート電極層49に接触するゲート電極50も形成する。最後にnカソード層42の裏面側にNiをスパッタ蒸着し、カソード電極52とする。

【0030】ゲート電極層49としては、多結晶シリコンの他に、高融点金属或いは、シリサイドを用いることができる。また、Alのアノード電極51は、nソース領域47が高不純物濃度なのでオーミック接触をするが、場合によってはnソース領域47の上部はNiとしてもよい。各部の主なディメンションは、pドリフト層44の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さは8 μm 、nベース層45の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さは2 μm 、pアノード層の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さは2 μm である。トレンチ56間のSiC部の幅は約15 μm である。

【0031】このように、例えばエビタキシャル成長法によってp⁺バッファ層43、pドリフト層44だけでなく、nベース層45およびpアノード層46を形成することができる。図2のプレーナ構造と異なり、困難な熱拡散で形成しなくてもよい。こうしてSiCでも製造が容易な電圧駆動型サイリスタを提供できる。さらに、エビタキシャル成長法によって、nベース層45およびpアノード層46を形成するために、それらの濃度および厚さを自由にコントロールでき、図2のような二重拡散法では達成できない濃度プロファイルも実現できて、デバイス設計の自由度が広がることになる。

【0032】実施例2のSiCサイリスタの動作は、実施例1とはほぼ同じであるので説明を省略する。

【実施例3】さて、図1の構造の電圧駆動型サイリスタのもう一つの問題は、ターンオフ可能な電流を如何に大きくできるかである。それは、オフチャンネル55の抵抗

と密接な関係がある。すなわち、このチャンネル55を生起させることによって、それまで流れていた主電流を、このオフチャンネル55に流す。それにより、nベース層45とpアノード層46との間のpn接合を回復させるわけであるが、オフチャンネル55の抵抗が大きいと、その接合を回復させることが困難になる。従って、オフチャンネル55の抵抗を小さくすることがターンオフ特性を向上させることになる。

【0033】しかしながら、図1のようなトレンチ構造でMOS型ゲート部を形成すると、一般にチャンネルの移動度が小さくなる。その理由は、トレンチ56を形成するために、ドライエッチング法などを適用するわけであるが、その際のダメージが、SiC基板41に残り、MOS型ゲート部の特性に影響を与えるためである。また、(0001)面を主面とする結晶を用いて図1のようなトレンチ構造にすると、トレンチ56の側壁に沿ったオンチャンネル、オフチャンネルは、(0001)面と垂直な面(a面)に形成される。こちらの面は界面準位が多いことが知られており、[Shenoy, J. N.: J. Appl. Phys. 79 (1996), p.3042 参照] MOSFETには適さない。

【0034】そこで、オフチャンネルが(0001)面と平行な方向にある電圧駆動型サイリスタを考案した。図3は、本発明第三の実施例の電圧駆動型SiCサイリスタの部分断面図である。炭化ケイ素基板61にトレンチ76が設けられ、その中にゲート酸化膜68を介して多結晶シリコンからなるゲート電極層69が埋められていることは、実施例2と同じであるが、ゲート電極層に基板表面上に延長部をもつゲート電極層69aと、延長部の無い69bとの二種類があることが違っている。また、nベース層65、nソース領域67の形も違っている。

【0035】すなわち、図の左側のトレンチ76aの近傍において、pアノード層66のトレンチ76aの側面に沿った部分にn側壁領域77が形成され、そのn側壁領域77から少し離れたpアノード層66の表面層にnソース領域67aが形成されている。そして、n側壁領域77とnソース領域67aとに挟まれたpアノード層66の表面上のゲート酸化膜68aを介して形成された延長部をもつゲート電極層69aが設けられている。ゲート電極層69aは図示されない部分でゲート電極層69bと接続されている。70はゲート電極層69aと接続しているゲート電極、71はアノード電極、72はカソード電極である。図の右側部分は実施例2と同じである。細い実線はアノード電極71の接触部分を表している。

【0036】従ってこの例では、図の右側部分では、ゲート電極層69bの側面に沿ってオンチャンネル74、オフチャンネル75ができていているが、図の左側部分では、ゲート電極層69aの延長部の直下にオフチャンネル75a

10

20

30

40

50

があるだけであり、オンチャネルは無いことになる。実施例3のSiCサイリスタの動作は実施例1と同様に、ゲート電極70への負のバイアスにより、オンチャネル74が動作してサイリスタがオンし、ゲート電極70への正のバイアスにより、オフチャネル75、75aが動作してサイリスタがオフするものである。

【0037】ただし、前述の如く、オフチャネル75aは(0001)面と平行な方向に形成されるため、移動度が大きく、(0001)面と垂直な面(a面)に形成されるオフチャネル75と比べて有効である。オンチャネル74は、図3の左側には形成されなくなってしまうため、右側の図2と同様な構造は周期的に必要である。

【0038】図4は、図3の実施例3のSiCサイリスタのSiC基板表面に於ける部分平面図である。トレンチ76が周期的にストライプ状に形成されている。トレンチ76内のゲート電極層69aは、両側に延長部を持っており、その端を点線で示した。トレンチ76間のSiC基板表面にn側壁領域77、nソース領域67a、67がストライプ状に形成されている。もう一つのゲート電極層69bには延長部が無い。68はゲート酸化膜である。

【0039】サイリスタの可制御電流はターンオフのためのオフチャネルのチャネル抵抗に依存し、抵抗が小さい程可制御電流は大きくなる。そのため、オフチャネルのチャネル抵抗は低いことが望ましい。トレンチ部分に形成されるオフチャネル75はエッチングダメージや移動度の結晶異方性などから抵抗が大きくなる可能性がある。そこで、トレンチ部分のオフチャネル75だけでなく、ブレーナ部分にオフチャネル75aを形成することによって、チャネル抵抗の十分に低いオフチャネルとし、可制御電流の大きいサイリスタを提供することが可能となる。

【0040】一本のゲート電極層の片側に延長部を持ち、片側は延長部が無いものでもよい。

【実施例4】図5は、本発明第四の実施例のSiCサイリスタのSiC基板表面に於ける部分平面図である。

【0041】この例では、一本のゲート電極層89は、延長部が両側に交互に設けられたものである。トレンチ間のSiC基板表面にn側壁領域97、nソース領域87a、87が短冊状に形成されている。nソース領域87a、87およびその間のpアノード層86の表面上に形成されるゲート電極層89aの延長部の端を点線で、アノード電極91の端を細線で示した。

【0042】これもブレーナ型のオフチャネルがトレンチの側壁部分のオフチャネルより有効に働き、可制御電流の大きいサイリスタとなる。

【実施例5】図6は、本発明第五の実施例のSiCサイリスタのSiC基板表面に於ける部分平面図である。

【0043】この例では、格子状に形成されたトレンチ116内に、ゲート酸化膜108を介して充填されたゲ

ート電極層109の一部に延長部が設けられているものである。トレンチ116で囲まれた正方形のSiC基板表面のpアノード層106にn側壁領域117、nソース領域107a、107がカギ型に形成されている。ゲート電極層109の延長部の端を点線で、アノード電極111の端を細線で示した。

【0044】この例でもブレーナのオフチャネルが、トレンチ116の側壁部分のオフチャネルより有効に働き、可制御電流の大きいサイリスタとなる。ここでは、トレンチ116で囲まれるSiC基板の形状が正方形の例を示した。これらの配置は勿論設計により、自由に配置することが可能である。また、当然のことながら、これら以外の長方形セルや六角形セルなどの多角形セルも、容易に適用を考慮される構造であろう。

【0045】

【発明の効果】以上説明したように本発明によれば、ターンオンのためのMOS型ゲート部とターンオフのためのMOS型ゲート部とを設けた電圧駆動型の炭化ケイ素サイリスタとすることによって、オン状態で直列にチャネル抵抗が入らず、SiC本来の低いオン電圧を有するSiCサイリスタを実現することができる。

【0046】MOS型ゲート部がトレンチ内に設けられたものとすれば、困難な不純物拡散によらず、製造が容易になる。またターンオフのためのMOS型ゲート部をトレンチ内ではなく、表面部分に形成することによって、オフチャネルのチャネル抵抗を低減し、可制御電流の大きいSiCサイリスタとすることができる。

【図面の簡単な説明】

【図1】本発明第二の実施例のSiC電圧駆動型サイリスタの部分断面図

【図2】本発明第一の実施例のSiC電圧駆動型サイリスタの部分断面図

【図3】本発明第三の実施例のSiC電圧駆動型サイリスタの部分断面図

【図4】本発明第三の実施例のSiC電圧駆動型サイリスタの基板表面の平面図

【図5】本発明第四の実施例のSiC電圧駆動型サイリスタの基板表面の平面図

【図6】本発明第五の実施例のSiC電圧駆動型サイリスタの基板表面の平面図

【図7】シリコンIGBTの部分断面図

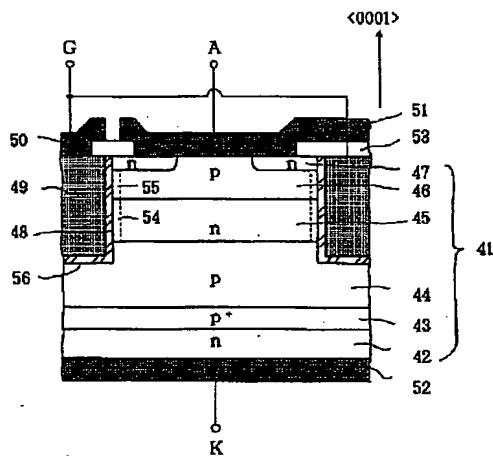
【図8】縦型MOSFETのオン抵抗とチャネル移動度との関係を示す図

【符号の説明】

1	シリコン基板
2	pコレクタ層
3	n ⁺ バッファ層
4	nドリフト層
5	pベース領域
6	nエミッタ領域

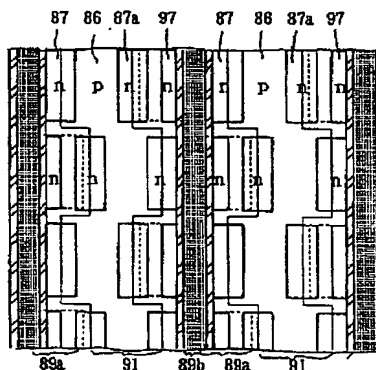
- 13
 8、28、48、68、68a ゲート酸化膜
 9、29、49、69、69a、69b、89a、89b、109a、109b ゲート電極層
 10、30、50、70 ゲート電極
 11 エミッタ電極
 12 コレクタ電極
 13、33、53 絶縁膜
 21、41、61 SiC基板
 22、42 nカソード層
 23、43 p⁺バッファ層
 24、44 pドリフト層

【図1】



- 41 SiC基板
 42 nカソード層
 43 p⁺バッファ層
 44 pドリフト層
 45 nベース層
 46 pアノード層
 47 nソース領域
 48 ゲート酸化膜
 49 ゲート電極層
 50 ゲート電極
 51 アノード電極
 52 カソード電極
 53 絶縁膜
 54 オンチャネル
 55 オフチャネル
 56 トレンチ

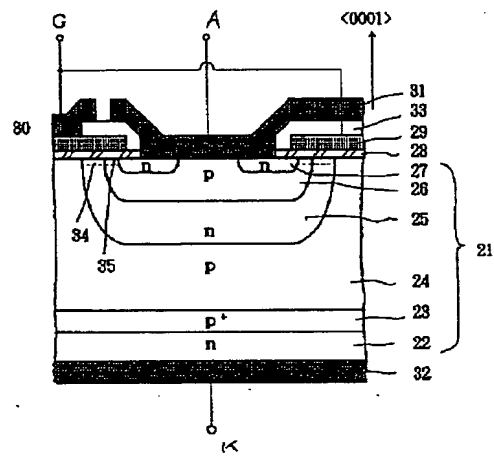
【図5】



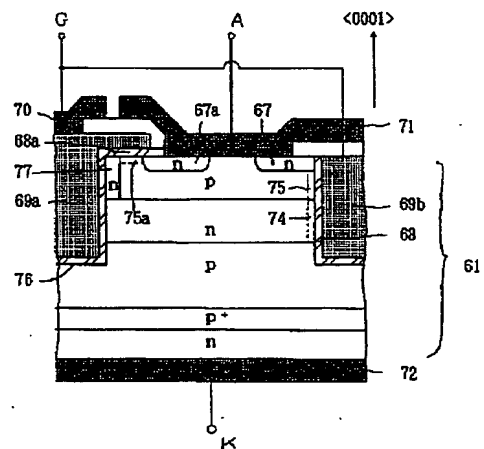
14

- * 25、45 nベース領域またはnベース層
 26、46、66、86、106 pアノード領域またはpアノード層
 27、47、67、67a、87、87a、107、107a nソース領域
 31、51、71、91、101 アノード電極
 32、52、72 カソード電極
 34、54、74 オンチャネル
 35、55、75、75a オフチャネル
 10 56、76、96、116 トレンチ
 * 77、97、117 n側壁領域

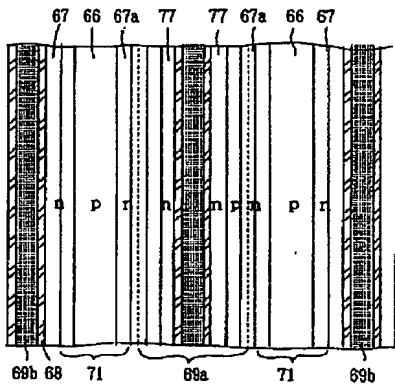
【図2】



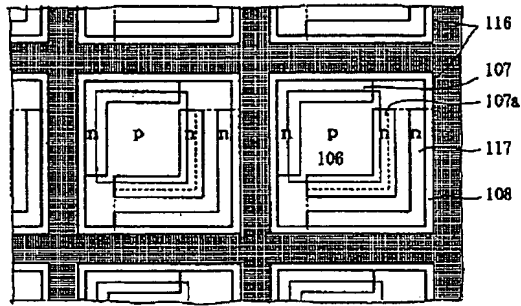
【図3】



【図4】

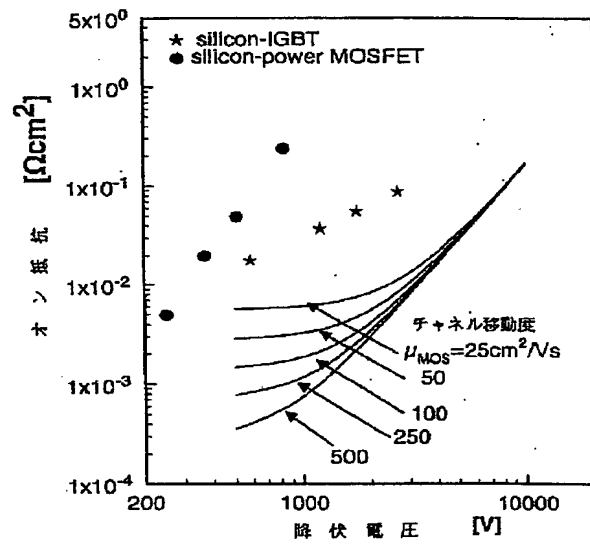
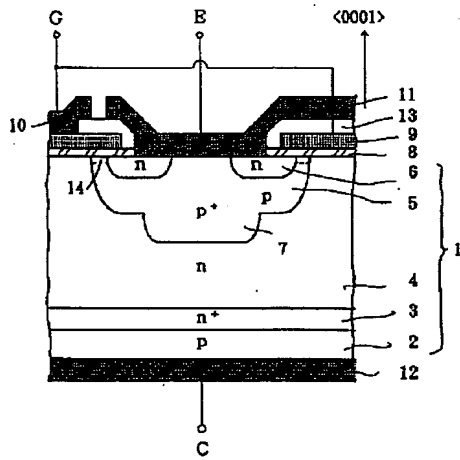


【図6】



【図8】

【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ ~~COLOR OR BLACK AND WHITE PHOTOGRAPHS~~
- ☐ GRAY SCALE DOCUMENTS
- ☒ ~~LINES OR MARKS ON ORIGINAL DOCUMENT~~
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.